

一款增益可调的 28 nm 三通道 10 位 DAC

熊利伟^{1,2}, 杜占坤¹, 刘 珂¹, 马 骁¹, 庞晓敏¹

(1 中国科学院 微电子研究所, 北京 100029; 2 中国科学院大学, 北京 100049)

摘 要: 基于 SMIC 28 nm CMOS 工艺, 实现了一款增益可调的三通道的 300 MS/s 10 bit 的数模转换器. 此数模转换器可以通过 5 位的控制字实现 0 ~ -5.75 dB 的增益调节, 适应更多的应用环境. 数模转换器采用分段式结构, 其中高六位采用温度计码, 低四位采用二进制码. 在电流源单元开关部分采用限幅电路, 提高无杂散动态范围. 带隙基准单元采用低电压输出结构, 满足电压电流转换单元中的栅压要求. 在 1.8 V 模拟电源电压, 1.05 V 数字电压下, 采样时钟在 300 MHz 的时候, 无杂散动态范围(SFDR)为 64 dB, 微分非线性小于(DNL)±0.3 LSB; 积分非线性小于(INL)±0.4 LSB.

关键词: DAC; 数模转换器; 电流舵; 增益控制

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2017)11-0089-05

A 10-bit 300 MSPS DAC With Variable Gain Based on 28nm Process

XIONG Li-wei^{1,2}, DU Zhan-kun¹, LIU Ke¹, MA Xiao¹, PANG Xiao-min¹

(1 Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China;

2 University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: This paper presents a variable gain three-channel 10-bit current steering CMOS digital-to-analog converter (DAC) implemented in a standard 28-nm CMOS technology. The DAC achieved variable gain of 0 ~ -5.75 dB with five-bits control words to apply to a wider range of applications. The DAC is segmented as 6+4, where the 4-LSB bits are implemented in binary and the 6-MSB bits are implemented in unary architecture. The spurious free dynamic range (SFDR) of this DAC can be improved by using clipper circuit in the part of switches. The reference voltage of bandgap must be low enough to meet the requirements of bias voltage in the part of voltage changing to current. The circuit is fabricated in 1.8-V analog power supply and 1.05-V digital power supply. For sampling frequencies up to 300MSample/s, the SFDR is better than 64 dB. The measured differential nonlinearity and integral nonlinearity are 0.3 least significant bit (LSB) and 0.4 LSB, respectively.

Key words: DAC; digital-analog conversion; current steering DAC; variable gain

1 引言

随着无线通讯系统、视频信号处理等领域的迅速发展, 需要将模拟与数字模块集成到单个芯片上. 数模转换器(Digital Analog Converter, DAC)是数字信号与模拟信号之间转换的关键模块. 由于电流舵型 DAC 具有高采样率及高分辨率等特点, 使得电流舵 DAC 广泛应用在高清电视等设备中. 本文介绍了一

种增益可调的应用于视频领域的三通道电流舵 DAC, 采用分段式结构. 通过采用增益控制结构, 可以调整输出电流, 使其能适应更大范围的应用.

2 系统设计

2.1 系统结构

图 1 为 DAC 系统结构图. 整个 DAC 系统主要包含了带隙基准、电压电流转换单元、电流源阵列模块. 其中, 带隙基准电压为低电压输出, 并含有 4 位

电平, $gc_i < n$ 为高电平. 通过图 3 中所示的选通单元, 来控制增益部分的导通或者关断. 例如当 gc 信号全部为 1 时, 即控制信号为 $gc < 11111 >$, 则各可控电流部分全部导通, 此时总电流为 $64I$, 输出电流为最大幅度; 当 gc 信号全部为 0 时, 即控制信号为 $gc < 00000 >$, 则各可控电流部分全部关断, 此时总电流为 $32I$, 输出的电流为最小幅度.

在基准电流的产生过程中, 对运放的性能具有一定的要求. 在本设计中, 电压电流转换单元的增益误差最多贡献 0.1% . 运放的增益用 A 来表示. 由

$$V_{OUT} = \frac{A}{1+A} V_{REF},$$

$$\begin{aligned} gain\ error &= \frac{\left(\frac{V_{OUT}}{R_{EXT}} - \frac{V_{REF}}{R_{EXT}}\right) \times 1\ 024}{\frac{V_{REF}}{R_{EXT}} \times 1\ 024} \\ &= \frac{V_{OUT} - V_{REF}}{V_{REF}} \\ &= \frac{1}{A+1} \leq 0.1\% \end{aligned}$$

可以得出运放的性能要达到

$$A \geq 60\ dB, \text{phase margin} \geq 60^\circ.$$

3.2 DAC 电流模块单元

图 1 中所示的 R、G、B 三个通道的 DAC 是采用相同结构的 10 位电流舵 DAC. 每个通道的 DAC 采用 6+4 分段结构, 高 6 位为温度计码, 低 4 位为二进制码. 单通道 DAC 的结构框图如图 4 所示. 各位码字通过译码结构或延迟等效模块后, 在时钟下降沿进入同步锁存器, 在时钟上升沿通过电平转换模块对电流源开关进行控制. 由流源与开关的电路结构如图 5 所示.

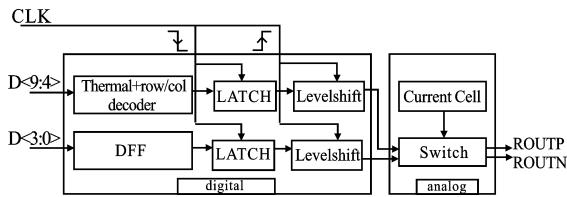


图 4 单通道 DAC 的结构框图

其中, 电流源阵列与开关是 DAC 中的核心. 电流源的输出阻抗对 DAC 的积分非线性 INL 以及动态性能 SFDR 具有重要的影响. 为了找到输出阻抗与性能指标的直接关系, 应对有限阻抗电流源进行分析.

输出阻抗对数模转换器的 INL 的影响可以用式(1)进行描述^[2]:

$$INL \approx \frac{R_{load} N^2}{4R_{cell}} \quad (1)$$

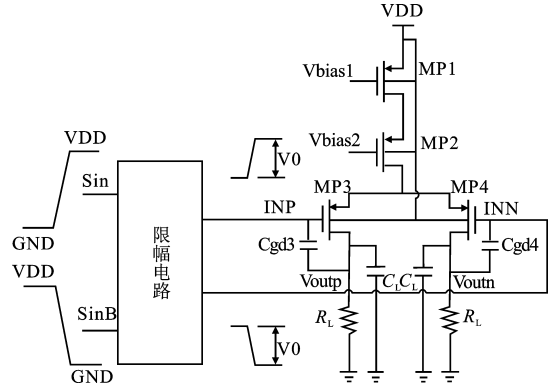


图 5 电流源与开关的电路结构

式中, N 为单位电流源个数; R_{load} 为负载电阻; R_{cell} 为电流源单元的电阻.

输出阻抗对数模转换器的谐波失真的影响可以用式(2) 进行描述^[2]:

$$HD_n = \left(\frac{NZ_L}{4Z_{cell}}\right)^{n-1} \quad (2)$$

式中, N 为单位电流源个数; Z_L 为负载阻抗; Z_{cell} 为随着频率变化的电流源单元的阻抗.

由式(1)、(2)可以得出, 输出阻抗越大, 积分非线性越小, 谐波失真越小, SFDR 越大. 在本设计中, 需要满足 10 位精度, DAC 电流源必须达到的最小的输出阻抗为 $9.6\ M\Omega$. 因此采用 cascode 电流源结构增加输出阻抗.

同时, 要满足 $300\ MHz$ 的采样率时, 保持足够的性能, 要考虑电流源结构中节点寄生电容对 SFDR-BW 的影响. 由于共源共栅管与开关管处节点的电容对 SFDR-BW 的影响很大, 因此共源共栅管 MP2 的尺寸要设置的较小^[3]. 从电流源的匹配角度考虑, 根据式(3), 电流源管 MP1 的 $\frac{W}{L}$ 要足够小以保证在漏电流一定的情况下, 有更大的过驱动电压, 从而减小阈值电压 V_{th} 失配对电流源匹配的影响^[4]. 同理, 从匹配角度考虑, 电流源管 MP1 及开关管 MP2 选用 PMOS 晶体管.

$$\sigma^2\left(\frac{\Delta I}{I}\right) = \frac{1}{WL} \left(A_\beta^2 + \frac{4A_{VT}^2}{(V_{GS} - V_{TH})^2} \right) \quad (3)$$

此外, 当数字信号通过锁存器进行同步以后, 形成的低交叉点同步信号应该通过限幅电路, 减小时钟馈通效应. 本文中的限幅电路结构如图 6 所示, 通过控制信号 Sin 及 $SinB$ 控制的 TG1, TG2, TG3, TG4 传输门结构, 从而使控制电流源开关的信号 INN 及 INP 变为由偏置电压设定好的限幅电压 V_{ref1} 及 V_{ref2} , 从而有效降低了时钟馈通效应, 提

高输出的动态性能及输出电压范围.

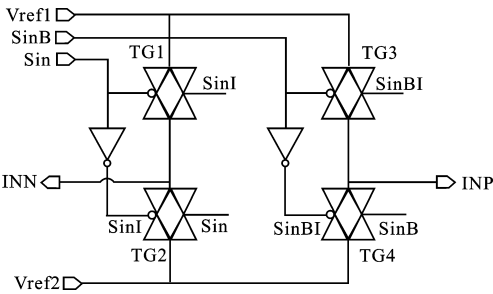


图 6 限幅电路

3.3 带隙基准模块单元

在带隙基准个模块中,由于电源电压以及电压电流转换单元的结构使得带隙基准需要输出一个幅度较低的电压.本设计中需要一个约为 0.68 V 的带隙基准.带隙基准采用电流镜模结构,并设计 4 位控制字进行修正.

4 版图与仿真结果

三通道 DAC 对应的芯片的版图如图 7 所示.面积为 2.097 mm×0.827 mm(包含 PAD 部分).

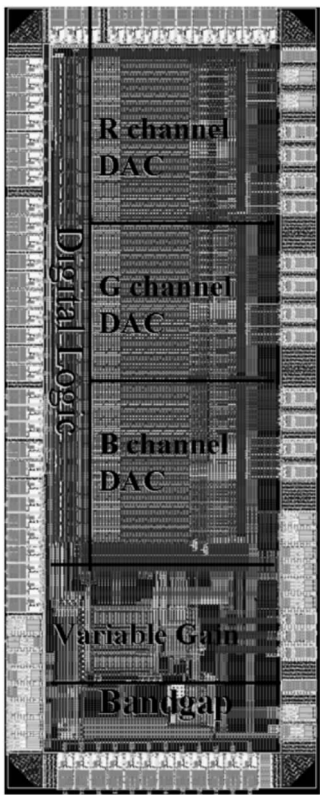


图 7 三通道 10 bit DAC 版图

本文设计的三通道 10 bit DAC 采用 SMIC 28 nm CMOS 工艺,用 Cadence Spectre 对电路进行仿真.

在四位控制字 $gc<4,0>$ 的控制下,输出的瞬态仿真结果如图 8 所示,具有从 1 117.5~576.5 mV 的幅度变化,实现了一5.748 dB 增益可控功能.

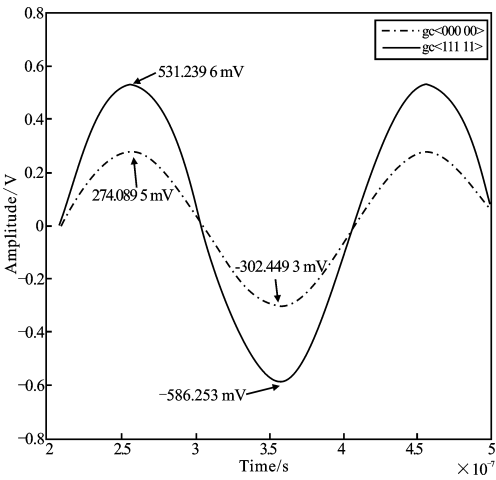


图 8 增益控制的瞬态波形摆幅范围

当输入信号为 13.77 MHz,采样率为 300 MHz 的情况下,DAC 达到的 SFDR 为 64.39 dB,如图 9 所示.

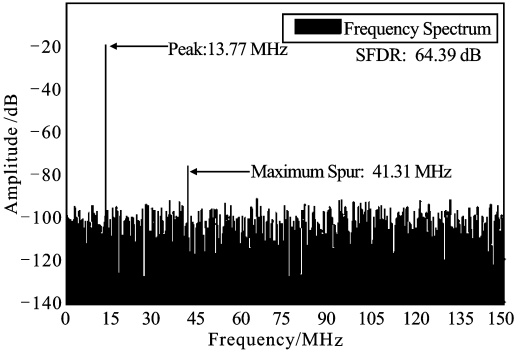


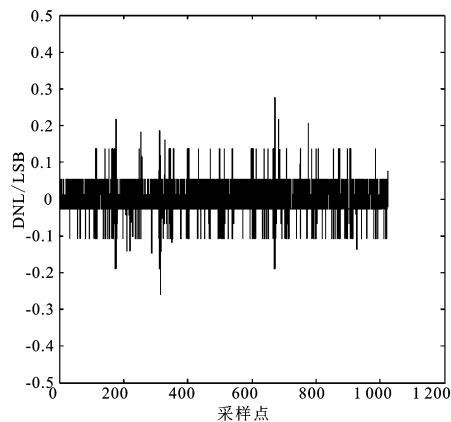
图 9 300 MHz 采样率下的动态性能

DAC 能达到最大的 DNL 和 INL 分别为 0.3LSB和 0.4LSB,如图 10 所示.

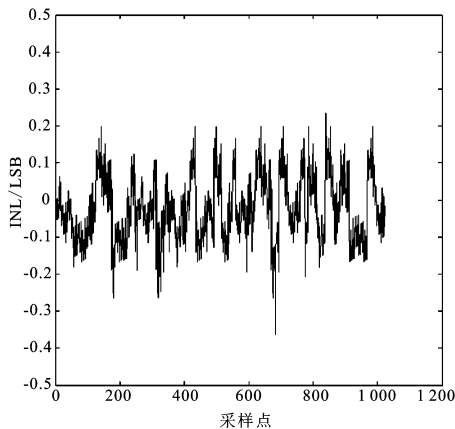
表 1 为本文提出的可控增益电流舵型 DAC 的仿真结果小结.

表 1 10 位电流舵 DAC 性能的仿真结果

参数	仿真结果
采样率	300 MHz
增益范围	0~-5.75 dB
DNL/LSB	0.3
INL/LSB	0.4
SFDR	64.39 dB@13.77MHz
面积	2.097mm×0.827mm
工艺	28 nm CMOS



(a) DNL 仿真波形



(b) INL 仿真波形

图 10 DAC 的 DNL 和 INL 的仿真波形

5 结束语

本文基于 SMIC 28 nm 1P8M CMOS 工艺,设计了一款增益可调的三通道 10 bit 的高速 DAC. 仿真结果表明,输出摆幅通过增益控制字可以实现从 0 dB 到-5.75 dB 的增益调节. 在 300 MHz 采样率下, SFDR 为 64 dB. 这种具有增益控制的 DAC 应

用中与其他模块的配合具有非常好的便利性与灵活性.

参考文献:

- [1] 孔瀛,王宗民,许军. 一种 16 位高速数模转换器(DAC)的设计与实现[J]. 微电子学与计算机, 2011, 28(6): 31-35.
- [2] Pieter Palmers , Michiel S. J. Steyaert. A 10-Bit 1.6-GS/s 27-mW current-steering D/A converter with 550-MHz 54-dB SFDR bandwidth in 130-nm CMOS[J]. IEEE Trans. Circuits Systems, 2010, 57 (11): 2870-2879.
- [3] A Van den Bosch , M Steyaert, W Sansen . SFDR-bandwidth limitations for high speed high resolution current steering CMOS D/A converters[J]. IEEE International Conference on Electronics, Circuits and Systems,1999,3:1193-1196.
- [4] Marcel J M Pelgrom. Matching properties of MOS transistors [J]. IEEE Journal of Solid-State Circuits, 1989, 24(5):1433-1439.

作者简介:

熊利伟 男,(1992-),硕士研究生. 研究方向为数字模拟混合集成电路设计. E-mail:xiongliwei@ime.ac.cn.

杜占坤 男,(1975-),博士,副研究员. 研究方向为模拟及混合信号集成电路.

刘珂 男,(1979-),博士,副研究员. 研究方向为模拟及混合信号集成电路设计、传感集成电路设计.

马骁 男,(1982-),博士,高级工程师. 研究方向为射频微波集成电路、器件,系统级封装.

庞晓敏 女,(1984-),硕士,助理研究员. 研究方向为模拟集成电路设计.